

Prova di VHDL

Architettura dei Calcolatori (9 CFU) Macchine per l'elaborazione dell'informazione

Sviluppare una macchina che implementa una memoria cache associativa con 4 blocchi da 4 byte ognuno.

La macchina riceve in ingresso:

- un input data da 1 byte
- un input indirizzo da 12 bit
- on bit input per il segnale r/w
- un data output di 1 byte
- un bit m di output che segnala se c'è stata una miss in lettura o scrittura

Nel caso di miss aggiornare solo l'etichetta di un blocco libero, oppure, se tutti sono occupati, di uno occupato secondo una politica round robin.

Nel caso di hit scrivere/leggere il dato nella determinata posizione

Ogni operazione termina dopo 5 ns.

I 4 blocchi di cache devono essere montati attraverso un approccio compositazionale.