

Progettare e sviluppare in VHDL un generatore di forme d'onda per controllo PWM.
Il generatore deve consentire la configurazione di diverse frequenze e la regolazione del duty cycle.

La frequenza deve variare 1Khz a 64 Khz.
Il duty cycle deve essere configurato su 255 possibili valori.

La macchina possiede in ingresso:

- clock: 1 std_logic
- x: 1 byte per definire il duty cycle
- write per memorizzare il duty cycle
- scale: 3 bit il fattore di scala per regolare la frequenza

in uscita:

q: il segnale pwm da 1 bit