

## Compito di Architettura dei Calcolatori

### Compito di Macchine per l'elaborazione dell'Informazione

**10/07/2013**

Progettare e sviluppare in VHDL una macchina che accetta in ingresso un **clock** di periodo 5 **ms**, un segnale **X** composto da 8 bit e un segnale di **RESET**.

La macchina presenta un byte **S** in uscita di 8 bit e un segnale **C** di 1 bit.

La macchina campiona il segnale **X** ad ogni colpo di clock:

- i bit del primo campione di **X** indicano quali dei seguenti campioni utilizzare;
- i restanti 8 campioni di **X** vengono sommati ad un accumulatore interno che viene azzerato all'arrivo del primo campione.
- l'uscita della macchina deve fornire **S** in uscita ogni 9 cicli di clock, ovvero ogni qual volta è disponibile la somma finale.
- **C** si abbassa al reset e ripropone in uscita il riporto

Per la realizzazione della macchina utilizzare un approccio strutturale.