

Compito di Architettura dei Calcolatori

Progettare e sviluppare in VHDL una macchina che accetta in ingresso:

- 1 segnale **s** di 1 bit,
- 1 segnale **d** di 8 bit
- un segnale di **clock** di periodo 10 us
- un segnale di **reset**
- un segnale in uscita **dout** di 8 bit.
- un segnale in uscita **err** di un bit

La macchina fornisce campiona in ingresso il segnale **s** ad ogni colpo di clock

- La sequenza 00110011 su **s** indica inizio trasmissione sul segnale **d**
- La sequenza 01010101 su **s** indica fine trasmissione sul segnale **d**

Quando la macchina riconosce la sequenza di inizio trasmissione comincia a campionare i dati su **d**:

- i dati su **d** rimangono stabili per 1 ms e possono essere di due tipi:
 1. scrittura (10000000), indirizzo (00dddddd), dato,(11dddddd)
 2. lettura(01000000), indirizzo (00dddddd)

Tali byte vengono presentati in ingresso continuamente, senza un preciso ordine, fino a quando non viene inviato su **s** il segnale di fine trasmissione.

La macchina campiona i bytes, riconosce il tipo di comando, e lo esegue.

Nel caso 1. la macchina memorizza il è dato, presenta in uscita il dato stesso.

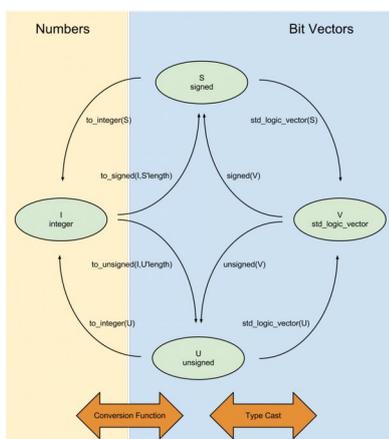
Nel caso 2. la macchina presenta il dato memorizzato in uscita.

Il segnale **err** è alto al reset, è basso dopo l'esecuzione di un comando, si alza dopo la fine trasmissione.

Suggerimento per la realizzazione della memoria interna:

```
TYPE word is ARRAY (5 downto 0) of std_logic;
```

```
TYPE mem is ARRAY (63 downto 0) of word;
```



In alternativa:

```
TYPE address is ARRAY (5 downto 0) of std_logic;
```

```
TYPE word is ARRAY (5 downto 0) of std_logic;
```

```
TYPE mem is ARRAY (address) of word;
```