

Compito di Architettura dei Calcolatori

Compito di Macchine per l'elaborazione dell'Informazione

21/10/2011

Progettare e sviluppare in VHDL una macchina che accetta in ingresso due segnali X e Y di un Byte, un reset e un segnale di clock di periodo 5 us.

Il segnale X viene campionato ogni 20us.

La differenza tra X e Y su 4 bit viene sommata a X.

