

Prova di VHDL

Architettura dei Calcolatori (9 CFU) Macchine per l'elaborazione dell'informazione 03/07/2012

Sviluppare una macchina che realizza una memoria a correzione errore. La macchina possiede 2 ingressi (uno dati e uno indirizzi entrambi da 4 bit) e una uscita dato da 4 bit. Inoltre possiede 3 linee da un bit:

- r/w: per la lettura e scrittura: ingresso
- clock: ingresso
- errore : uscita

In fase di scrittura la memoria impiega 2 periodi di clock.

In fase di lettura la memoria impiega 1 periodo di clock.

Internamente la memoria possiede 16 registri da 4 bit per la memorizzazione dei dati e 16 registri da 3 bit in cui viene memorizzato un codice di correzione errore.

- Una componente calcola il codice di controllo da 3 bit a partire dagli input in fase di scrittura. Lo stesso componente calcola il codice di controllo a partire dal registro di memoria di 4 bit in fase di lettura.
- Un comparatore confronta il codice di controllo errore con il registro da 3 bit in fase di lettura e alza la linea errore se questi sono diversi.

Per semplicità, per il calcolo del codice di controllo errore è possibile utilizzare una funzione fittizia a piacere.

