

Compito di Architettura dei Calcolatori

Compito di Macchine per l'elaborazione dell'Informazione

05/11/2012

Progettare e sviluppare in VHDL una macchina che accetta in ingresso un **clock**, due segnali **X**, **Y** composti ognuno da 8 bit. La macchina presenta un solo bit **Z** in uscita

La macchina, ogni **10 ms** deve confrontare i byte **X** e **Y**, e **verificare se il numero di bit nella stessa posizione sono uguali è dispari ($Z=1$) o pari ($Z=0$)**

Es: $X=[0,1,0,1,1,0,0,0]$ $Y=[0,1,0,0,0,1,1,0]$ $\rightarrow Z=0$ (sono uguali i bit 0,1,2,7)

Progettare la macchina utilizzando un approccio strutturale. **Z** deve essere valido per almeno 5 ms, ovvero la macchina deve calcolare l'uscita in non più di **5 ms**.

